

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-311665

(43)Date of publication of application : 20.12.1988

(51)Int.Cl.

G11B 20/10

(21)Application number : 62-147586

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 12.06.1987

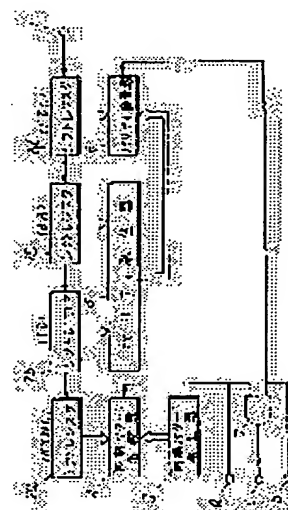
(72)Inventor : YAMAGUCHI SUSUMU
FURUMAE HITOSHI
ISHIWATARI TETSUO
YAMAUCHI EIJI
YOSHINO TADASHI
TANAKA HIROSHI

(54) SYNCHRONIZING SIGNAL DETECTING METHOD

(57)Abstract:

PURPOSE: To promote synchronizing signal detecting accuracy by utilizing an error detecting result by an auxiliary code, an address code and an error detecting code, which are added with a synchronizing signal, as a kind of synchronizing signal in addition to a synchronism detecting signal by comparing and conforming with the synchronizing signal in pattern.

CONSTITUTION: Simultaneously with a 1st synchronizing signal detection, the error detection of each part of the auxiliary code, the address code and the error detecting code, which are continuously disposed with the synchronizing signal, is performed by shift registers 2bW2d, a parity generator 5 and a parity checker 6. Then, a resultant error detecting signal is regarded as a kind of synchronizing signal and logically multiplied by the 1st synchronizing signal by an AND circuit to carry out the selection of a false synchronizing signal. By this method, the synchronism detecting signal is thus improved in accuracy.



⑫ 公開特許公報(A)

昭63-311665

⑤ Int. Cl.⁴

G 11 B 20/10

識別記号

3 5 1

庁内整理番号

Z-6733-5D

③ 公開 昭和63年(1988)12月20日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 同期信号検出方法

⑰ 特 願 昭62-147586

⑱ 出 願 昭62(1987)6月12日

⑲ 発 明 者	山 口 進	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	古 前 仁 司	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	石 渡 哲 生	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	山 内 栄 二	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	吉 野 正	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	田 中 博 司	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1、発明の名称

同期信号検出方法

2、特許請求の範囲

(1) 時間的に等間隔なブロック周期毎に、同期信号と、補助コードと、前記ブロック周期のアドレス値を示すアドレスコードと、前記補助コードおよびアドレスコードより所定の演算により発生される誤り検出コードとを付加された直列型デジタルデータから、前記同期信号とのパターン一致比較により検出される第1の同期信号と、前記補助コードとアドレスコードおよび誤り検出コードより所定の演算で生成される誤り検出信号とを検出し、前記誤り検出信号が誤り無しの場合のみ、前記第1の同期信号を取り出し、第2の同期信号とすることを特徴とする同期信号検出方法。

(2) 誤り検出コードとして、補助コードおよびアドレスコードの各々対応するビットの奇数パリティまたは偶数パリティを用いることを特徴とする特許請求の範囲第1項記載の同期信号検出方法。

3、発明の詳細な説明

産業上の利用分野

本発明は直列型デジタルデータを記録再生する場合の同期信号検出方法に関するものである。

従来の技術

従来より、直列型デジタルデータの記録再生は多くの分野で幅広く用いられており、最近での例としては、デジタルオーディオテープレコーダ(DAT)がある。

今、一例として、回転ヘッド方式デジタルオーディオテープレコーダ(R-DAT)を考えれば、その記録信号は第2図に示す如く、直列型デジタルデータ、 D_0, \dots, D_n に対し、時間的に等間隔なブロック周期 Bt で特定パターンの同期信号 SYNC を挿入し、その他に、直列型デジタルデータへの記録内容等識別用コード ID

(Identification)、ブロック周期単位でのアドレスコード BA (Block Address)、そして ID および BA に対する誤り検出符号 EDC

(Error Detection Code) を備えた構成となる。

っている。そして各コードは8ビット単位で構成され、シンボルと呼ばれている。

再生側では、記録側の同期信号と同一パターンの発生器を用意し、再生入力である直列型デジタルデータと逐次比較し、一致した場合を同期信号とみなし、以降の信号処理の基準信号とする方法が広く一般的に用いられている。

R-DATの場合、記録再生には、8-10変調と呼ばれる変調方式を用い、同期信号SYNC用のパターンには、通常のデータ中には現れ得ない特殊パターンを用いており、このため同期信号の検出精度はかなり高いものとなっている。

しかしながら、記録信号の帯域制限等何らかの理由で特殊パターンの存在する変調方式が使えない場合、同期信号SYNCとしては、データ中に存在するパターンを使わざるを得なくなる。この場合、正しい同期信号以外の擬似同期信号が発生する確率はかなり高くなり、正しい信号処理を行うことは困難となる。これを防ぐには、同期信号SYNCの語長を増せば良いが、記録周波数が上

起動直後や再生データに発生した符号誤りからの復帰直後ではアドレスデータ値による規則性検出が行えず、確実かつ迅速な同期検出が困難となるものであった。

本発明は上記問題点に鑑みてなされたものであり、従来例の如く複数ブロック間の規則性を用いることなく、同期信号による検出と同様、ブロック内で完結し、かつ精度の高い同期信号検出方法を提供するものである。

問題点を解決するための手段

上記問題点を解決するために本発明の同期信号検出方法は、同期信号パターンとの一致比較により検出される第1の同期検出信号と、同期信号と共に付加された補助コード・アドレスコードおよび誤り検出コードより所定の演算で生成される誤り検出信号とを用い、誤り検出信号が無誤り状態の時のみ、第1の同期検出信号を通過させ第2の同期検出信号とするという構成を備えたものである。

作用

がる、もしくは信号の伝送レートが下がるという欠点を有している。

このため、従来の技術としては、例えば、特開昭60-137150号公報に示されている様に、同期信号の語長を増さずに同期信号の検出を確実にを行う方法として、同期信号検出回路に加えて、順次続く2つのブロックのアドレスコードBAの内容が所定の規則性を有することを検出して第2の同期信号とし、両者の論理積をとって同期信号とする方法がある。

すなわちブロック周期単位のアドレスコードBAは、通常零から連続的に増加する2進数が割り付けられるのが普通であり、順次続く2つのアドレスコードの値の差が所定値であることを検出することにより、同期信号検出を確実化することが可能であった。

発明が解決しようとする問題点

しかしながら上記のような構成では、順次続く2つのアドレスデータ値の規則性を用いているため、何らかの理由で一方が欠除した場合、例えば、

本発明は上記の構成により、同期パターンとの一致比較により検出される第1の同期検出信号に加えて、誤り検出コード系を一種の同期信号とみなし、両者の結果の論理積を取ることにより同期信号の検出精度を高めるものである。同期検出信号欠落時の補助コード系の誤り検出結果は有効性が少なく、かつ誤り検出コード系全体の語長が比較的短い場合、符号誤りによる影響は少なく擬似同期信号を選別するための基準信号としての役割りは十分果たしうる。その結果、実質的に同期信号誤長が伸びたことと等価の効果が得られ、複数ブロック間の規則性を用いることなく、ブロック内で完結した精度の高い同期信号検出が行えることとなる。

実施例

以下本発明の一実施例の同期信号検出方法の構成につき、図面を参照しながら説明する。

第1図は本発明の実施例における同期検出方法を具現化する装置の構成を示すものである。

第1図において、1は直列型デジタルデータ

の入力端子、2a～2dは直列並列変換用のシフトレジスタ、3は再生側であらかじめ準備された記録側と同一の同期パターン発生器、4はシフトレジスタ2aで並列化されたデジタルデータと同期パターン発生器3で発生されたデータとの一致比較を行い、第1同期信号aを発生するための同期パターン比較器4、5はシフトレジスタ2bおよび2cで並列化されたデータから所定の演算により、誤り検出符号を発生するためのパリティ発生器、6は再生側で発生したパリティと記録時に付加したパリティとの一致比較を行い誤り検出信号bを発生させるためのパリティ検査器、7は第1同期信号aと誤り検出信号bより第2同期信号cを発生するためのAND回路である。

以上のように構成された同期信号検出方法を具現化する装置の一実施例について、以下第1図および第2図を用いてその動作を説明する。

第2図に示す形式の信号を、第1図において直列型デジタルデータ入力端子1に入力した場合、まず、シフトレジスタ2a、同期パターン発生器

としての誤り検出信号を一種の同期信号とみなし、AND回路7で、第1の同期信号との論理積をとることにより、擬似同期信号の選別を行い、同期検出信号の精度向上を図るものである。第2図に示す信号構成の場合、同期信号他の各コードは各々8ビット構成であるが、8ビットの誤り検出コードによる誤検出確率は 2^{-8} であり、8ビットの同期信号パターンと能力的に等価であることが数学的に導ける。そして元々の同期信号パターンの8ビットと加えて、計16ビットの同期検出精度を8ビットの同期信号パターンにより実現できるものである。また、誤り検出コードの種類としては並列処理の可能な符号方式であれば何であっても良いが、構成が簡単で誤り検出能力の高い方式として、例えば第2図の符号構成において

$$P = W_1 \oplus W_2$$

$$\text{または } P = \overline{W_1 \oplus W_2}$$

で表わせる、偶数または奇数パリティが挙げられる。但し \oplus は排他的論理和を示す。

符号誤りが発生した場合、データがすべて論理

3、同期パターン比較器4により、直列型デジタルデータ中より同期信号と一致するパターン信号の検出を行い、第1の同期信号とする。同期信号のパターン長が十分長ければ高い精度で同期信号検出が可能であり、また同期信号が欠落してもその周期性を用い、同期信号の補間が可能となる。しかしながら、何らかの理由により十分に長いパターン長を取れない場合、直列型デジタルデータ中に含まれる同期信号と同一パターンのデータにより擬似同期信号が発生する確率は非常に高くなり、正確な同期検出が困難となる。このため、擬似同期信号を選別し、発生を抑える手段として、本実施例では同一ブロック内での同期信号と誤り検出信号の連続的な時間的配置の規則性を用いている。

すなわち、第1の同期信号検出と同時に、同期信号と連続的に配置された、補助コード・アドレスコードおよび誤り検出コード各部の誤り検出を、シフトレジスタ2b～2d、パリティ発生器5、パリティ検査器6により行う。そしてその結果と

的に“Low”となる傾向がある場合、誤りを確実に検出できる手段として奇数パリティが有効である。

以上のように本実施例によれば、8ビットの同期信号に付加された、補助コード・アドレスコード・誤り検出コードによる誤り検出結果を等価的に8ビットの同期信号とみなして処理することにより、同期信号長を増さず、かつブロック内で完結した実質的に16ビットの能力を有する同期信号検出方法を実現できるものである。

なお、本実施例においては、誤り検出コード等の符号長を8ビットで定義したが、これはシステムの必要仕様に合わせ、任意の値を用いてよい。

また、本実施例において同期信号検出方法は記録再生系を例に挙げているが、通信機等デジタル信号の伝送を行う他の機器でも有効なことはもちろんのことである。

発明の効果

以上のように本発明は、同期信号とのパターン一致比較による同期検出信号に加えて、同期信号

と共に付加された補助コード・アドレスコード・誤り検出コードによる誤り検出結果を一種の同期信号として用いることにより、同期信号の語長を増さずに、ブロック内で完結し、かつ実質的に精度の高い同期信号検出方法を実現しうるものである。

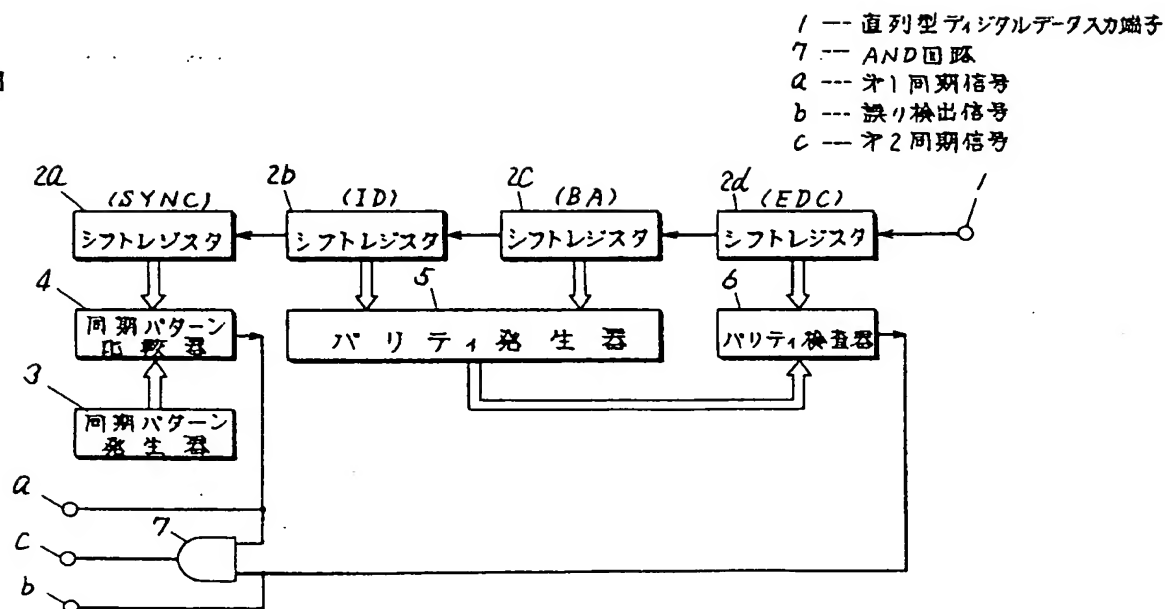
4、図面の簡単な説明

第1図は本発明の一実施例における同期信号検出方法を具現化する装置の構成を示すブロック図、第2図は第1図における入力端子に加わる直列型デジタルデータの信号構成図である。

1 ……直列型デジタルデータ入力端子、2 ……シフトレジスタ、3 ……同期パターン発生器、4 ……同期パターン比較器、5 ……パリティ発生器、6 ……パリティ検査器、7 ……AND回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

